

File Segment: CPl; FPl; EngPl

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-51100

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 6 L

6 2 7 F

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号

特願平7-199982

(22) 出願日

平成7年(1995)8月4日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

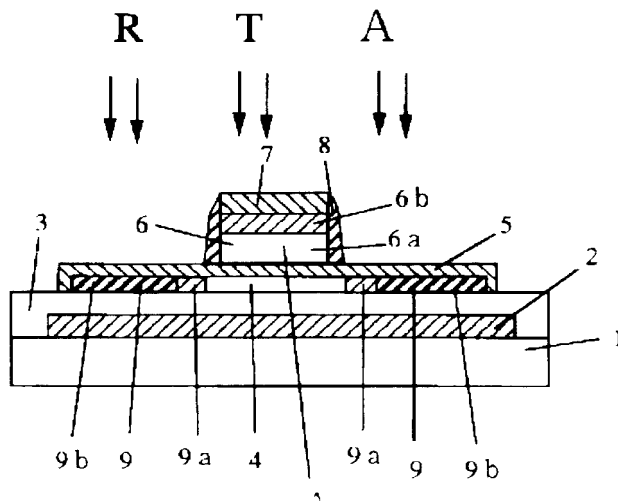
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 熱処理にR T A法を用いた場合における基板の反りや破損を防止すること。

【解決手段】 ガラス基板1上に多結晶S i膜4を形成し、この多結晶S i膜2の上に、ゲート絶縁膜5を介してゲート電極6を形成し、多結晶S i膜4に、ソースドレイン領域9となる不純物領域を形成し、この不純物領域をR T A法により熱処理して活性化する。そして、このR T Aによる熱加熱は6回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させる。



## 【特許請求の範囲】

【請求項1】 基板上に半導体素子を形成する過程の熱処理にR T A法 (Rapid Thermal Annealing) を用いるものにおいて、前記R T Aによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させることを特徴とした半導体装置の製造方法。

【請求項2】 基板上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域をR T A法により熱処理して活性化する工程とを備え、前記R T Aによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させることを特徴とした半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ (Thin Film Transistor) などの半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 近年、アクティブマトリクス方式LCDの画素駆動用素子 (画素駆動用トランジスタ) として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ (以下、多結晶シリコンTFTという) の開発が進められている。

【0003】 多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部 (表示部) だけでなく周辺駆動回路 (ドライバ部) までを同一基板上に一体に形成することができる。

【0004】 このような多結晶シリコンTFTにおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板上に堆積させる方法は、例えば、CVD法を用い、高温下で堆積させるという比較的簡単な工程である。

【0005】 また、非晶質シリコン膜を堆積した後これを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うこと

中、温度900℃程度で熱処理を行うことにより、前記非晶質シリコン膜を固相成長させて多結晶シリコン膜52を形成する。前記多結晶シリコン膜52を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、R I E法によるドライエッチング技術により前記多結晶シリコン膜52を所定形状に加工する。

【0007】 前記多結晶シリコン膜52の上には、減圧CVD法を用いて、ゲート絶縁膜53としてのシリコン酸化膜を堆積する。

工程B (図17参照) : 前記ゲート絶縁膜53上に、減圧CVD法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0008】 次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜54を堆積した後、フォトリソグラフィ技術、R I E法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜54を所定形状に加工する。前記多結晶シリコン膜はゲート電極55として使用する。次に、自己整合技術により、ゲート電極55及びシリコン酸化膜54をマスクとして、多結晶シリコン膜52に不純物を注入し、ソースドレイン領域56を形成する。

【0009】 最後に、更に熱処理を行って、ソースドレイン領域56としての不純物を活性化させる。このような方法は、固相成長や不純物活性化の時に900℃程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板 (例えば、石英基板) を用いた場合には、処理時間が短く済むという利点がある。

【0010】 一方で、基板に熱歪みが生じる心配がなく、比較的安価なガラス基板を用いることのできる低温プロセスを用いた開発も盛んである。特に、駆動デバイスであるTFTにおいては、高性能化が必要であり、このために、各プロセスを用いたTFTの構成材料の高品質化をはじめとする様々なアプローチがなされている。

【0011】 例えば、デバイス特性を左右する不純物領域の活性化技術として、レーザーアニール法やR T A法を用いられている。特に、R T A法は、700℃以上の高温を用いるか、きわめて短時間で終わることからできる、短い処理時間で活性化を行うことができる。

## 【0012】

【発明が解決しようとする課題】 レーザーアニール法は、ビーム走査を何度も繰り返して行う必要があるため、活性化プロセスに時間がかかるという問題がある。一方、R T A法は、短時間ではあるが、基板に対して非

均一に熱処理を行うことができないという問題がある。

【0006】 工程A (図16参照) : 絶縁基板 (例えば、石英ガラス) 51上に、通常の減圧CVD法を用いて非晶質シリコン膜を形成し、更に、後述(2)の発明に

従って、本発明は、半導体装置の製造方法において、前記の問題点を解決するものである。

## 【0014】

【課題を解決するための手段】 請求項1の半導体装置の

製造方法にあっては、基板上に半導体素子を形成する過程の熱処理にRTA法を用いるものにおいて、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させるものである。

【0015】また、請求項2の半導体装置の製造方法にあっては、基板上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域をRTA法により熱処理して活性化する工程とを備え、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させるものである。

【0016】

【発明の実施の形態】本発明を具体化した一実施形態を図1乃至図10に従って説明する。

工程1（図1参照）：石英ガラスや無アルカリガラスなどの基板1上に、スパッタ法を用いて、タングステンシリサイド（ $WSi_x$ ）膜2（膜厚1000Å、但し50～2000Åの範囲で調整可能である）を形成する。スパッタ法では、Wシリサイドの合金ターゲットを使用する。Wシリサイド（ $WSi_x$ ）の化学量論的組成は $x=2$ であるが、合金ターゲットの組成は $x>2$ に設定する。これはWシリサイド膜2の組成が $x=2$ に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、Wシリサイド膜2にクラックが発生したり、剥離したりする恐れがあるためである。但し、Wシリサイドの抵抗値は $x=2$ の場合に最も低くなるため、クラックや剥離が生じない程度に $x$ の上限を設定する必要がある。

【0017】工程2（図2参照）：前記Wシリサイド膜2を、リソグラフィ技術、エッチング技術を用いて、後述するトランジスタの能動層としての多結晶シリコンと同じパターンに加工する。

工程3（図3参照）：前記基板1及びWシリサイド膜2を覆うように、 $SiO_2$ や $Si_3N_4$ などの絶縁性薄膜3をCVD法やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に常圧又は減圧CVD法により、形成温度350℃で、膜厚3000～5000Åの $SiO_2$ 膜を形成する。

【0018】この $SiO_2$ 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの $SiO_2$ 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～5000Åの範囲が適切で、1000～5000Åにしたときに拡散抑制効果が良好で、その中でも1000～3000Åの範囲が最も適している。

る。

【0019】工程4（図4参照）：前記絶縁性薄膜3の上に、非晶質シリコン膜4a（膜厚500Å）を形成する。この非晶質シリコン膜4aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜4aの膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合がもっとも適している。

【0020】前記非晶質シリコン膜4aの形成方法には以下のものがある。

①減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン（ $SiH_4$ ）又はジシラン（ $Si_2H_6$ ）の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。そして、550～620℃では微結晶を含む非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質シリコン膜4a中の微結晶の量を調整することができる。

【0021】②プラズマCVD法を用いる方法：プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でのモノシランまたはジシランの熱分解を用いる。実際の工程では、前記①の方法を採用し、使用ガス：モノシラン、温度：350℃の条件で、微結晶を含まない非晶質シリコン膜を形成している。

工程5（図5参照）：前記非晶質シリコン膜4aの表面に波長 $\lambda=248nm$ のKrFエキシマレーザービームを走査してアニール処理を行い、非晶質シリコン膜4aを熔融再結晶化して、多結晶シリコン薄膜4を形成する。

【0022】この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}Pa$ 以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec（実際には、0.1～100mm/secの範囲の速度で走査可能）である。前記レーザービームとしては、波長 $\lambda=308nm$ のXeClエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}Pa$ 以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec（実際には、0.1～100mm/secの範囲の速度で走査可能）である。

③常圧CVD法を用いる方法：常圧CVD法でシリコン膜を形成するには、

1000～5000Åの範囲が適切で、1000～5000Åにしたときに拡散抑制効果が良好で、その中でも1000～3000Åの範囲が最も適している。

④常圧CVD法を用いる方法：常圧CVD法でシリコン膜を形成するには、

室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/secである。前記レーザービームとしては、波長 $\lambda=308nm$ のXeClエキシマレーザーを使用しても、照射エネルギー

一密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大きさの粒径が得られるように、エネルギー密度を調整すればよい。

【0024】本実施例では、このエキシマレーザーアニールに、高スループットレーザー照射法を用いる。即ち、図14において、101はKrFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0025】このような構成において、高スループットレーザー照射法とは、レーザービーム制御光学系103によってシート状(150mm×0.5mm)に加工されたレーザービームを、複数パルスの重ね合わせにより照射する方法で、ステージ走査とパルスレーザー照射を完全に同期させ、きわめて高精度な重複でレーザーを照射することによりスループットを高めるものである。

【0026】工程6(図6参照)：前記多結晶シリコン膜4を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜4を所定形状に加工する。そして、前記多結晶シリコン膜4の上に、ロードロック式減圧CVD装置を用いた減圧CVD法により、ゲート絶縁膜としてのLTQ膜(Low Temperature Oxide：シリコン酸化膜)5(膜厚1000Å)を形成する。

【0027】工程7(図7参照)：前記ゲート絶縁膜5の上に、減圧CVD法により非晶質シリコン膜(膜厚2000Å)6aを堆積する。この非晶質シリコン膜6aは、その形成時に不純物(N型ならヒ素やリン、P型ならホロン)がドーパされているが、ノンドーパ状態で堆積し、その後には不純物を注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜6aの上にタンゲステンシリサイド( $WSi_x$ )膜6b(膜厚1000Å)を形成する。

【0028】そして、常圧CVD法により、前記Wシリサイド膜6bの上にシリコン酸化膜7を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜6a、Wシリサイド膜6b及びシリコン酸化膜7を所定形状に加工する。前記非晶質シリコン膜6aは、前記Wシリサイド膜6bとともにオリサイド構造のゲート電極6として使用する。

【0029】次に、図15に示すように、基板1に、前記絶縁膜

$\times 10^{13} \text{cm}^{-2}$ の条件で、リン(P)イオンを不純物として注入し、低濃度の不純物領域9aを形成する。

【0030】工程9(図9参照)：前記サイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧：80KeV、ドーズ量 $1 \times 10^{15} \text{cm}^{-2}$ の条件で、リン(P)イオンを不純物として注入し、高濃度の不純物領域9bを形成することにより、LDD(Lightly Doped Drain)構造のソース・ドレイン領域9を形成する。

【0031】工程10(図10参照)：この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行う。即ち、図15において、105はシート状のアニール光を発する光源であり、キセノン(Xe)アークランプ106とそれを包む反射鏡107を1組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのローラー、109は予熱用のプリヒーター、110は加熱後の基板が急激に冷却されてひび割れしないようにするための補助ヒーターである。

【0032】このような構成において、基板1をプリヒーター106で予熱した後、シート状のアニール光源105を通して、熱処理する。本実施形態でのRTAは、窒素( $N_2$ )雰囲気中で、加熱を6回に分けて行い、各回ごとの処理温度が段階的に上昇するように設定している。即ち、初回(1回目)：400℃(パイロメータ、以下同じ)→2回目：500℃→3回目：550℃→4回目：600℃→5回目：650℃→最終回(6回目)：700℃とし、徐々に温度を上げることで、基板1が反ったり破損したりすることのないようにしている。各回の処理時間は1～3秒である。

【0033】温度の調整は、初回は前記Xeアークランプ106を点灯せず、プリヒータ109の熱を用い、2回目以降は、Xeアークランプ106のパワーを1KW～7KWの範囲で変えることにより行っている。尚、最終回の温度は700℃としたが、700～950℃であればよい。前記Xeアークランプの点灯は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、(ゲート)配線の低抵抗化や不純物の活性化に適している。また、後述するようにWシリサイド膜2を用いた加熱も有効に行うことができる。

【0034】そして、この急速加熱により、前記ソース・ドレイン領域9の不純物が活性化するとともに前記非

晶質シリコン膜6aのシリコン原子が互に結合し、多結晶シリコン膜6aを形成する。そして、自己整合技術により、サイドウォール8をマスクとして、多結晶シリコン膜6aをゲート電極6、ソース・ドレイン領域9

の形成に活用する。また、活性な炭素を用いたソース・ドレイン領域6aシート抵抗も、P型で1～1.5kΩ/□、N型で1～1.2kΩ/□程度、高抵抗化が必要な



スと接続される側の反対側の電極には定電圧 $V_R$ が印加されている。この液晶セルLCの共通電極は、文字通り全ての画素20に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極は、隣のゲート配線Gn+1と接続されている場合もある。

【0046】このように構成された画素20において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素20へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素20に任意のデータ信号を保持させておくことができる。その画素20の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0047】ここで、画素20の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部19の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLC及び補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0048】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。以上、本実施形態により製造した多結晶シリコンTFTにおいては、いわゆる低温プロセスで行うことができ、しかも、良質の多結晶シリコン膜を能動層として使用している。

【0049】本発明者の実験によれば、nチャネルのMOS型多結晶シリコンTFTでの移動度 $\mu_n$ が $200\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、pチャネルのMOS型多結晶シリコンTFTでの移動度 $\mu_p$ が $150\text{ cm}^2/\text{V}\cdot\text{s}$ 以上

（以下、併記）とすることができ、以下に示すような特性を得ることができる。

（1） $\mu_n$ が $200\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、 $\mu_p$ が $150\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、しきい値電圧： $2\text{ V}$ （nチャネル）、 $-2\text{ V}$ （pチャネル）、 $V_{th}/(V_{DD}-V_{th})\leq 0.5$ （ $V_{DD}=5\text{ V}$ ）とすることができ、

（2） $V_{th}/(V_{DD}-V_{th})\leq 0.5$ （ $V_{DD}=5\text{ V}$ ）とすることができ、

【0050】また、移動度が高いぶん、TFTの駆動能力が向上するので、TFTのサイズを小さくすることができ、従来能動層として非品質シリコンを用いたトランジスタのサイズ（ $W/L=34\sim 10\text{ }\mu\text{m}$ ）に比べて、 $1/8$ 以下のサイズ（ $W/L=8\sim 5\text{ }\mu\text{m}$ ）に縮小することができる。更には、高品質の能動層であるので、トランジスタのオフ時のリーク電流も少なく、そのぶん補助容量の面積も $1/3$ 以下に縮小することができる。

【0051】具体的には、サイズ2.4型で、画素ピッチ： $50.0\text{ }\mu\text{m}\times 15.00\text{ }\mu\text{m}$ （V） $\mu\text{m}$ 、画素数：23万ドット（ $320\times 360$ （RGB） $\times 240$ ）と、従来型のパネルに比べて3倍以上の高密度画素を有しながらも、5.5型という高開口率（従来比：1.5倍）のものを得ることができ、高輝度化を実現できる。以上の実施形態は以下のように変更してもよく、その場合でも同様の作用、効果を得ることができる。

【0052】1）Wシリサイド膜2に代えて、非結晶シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドーピングされていてもよい。このように、導電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、TFTを、LSIに用いられるMOSトランジスタのように4端子デバイスとして動作させて、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位によるTFTへの悪影響を防止することができる。

【0053】2）Wシリサイド膜2に代えて、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、CoSi<sub>2</sub>などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には（約450℃以下）、AlやAuなどのいわゆる低融点金属を用いてもよい。Wシリサイド膜も含めてこれらの金属膜は、光を通さない性質を有しているため、以下の通り効果を得る。

【0054】a）光の散乱を防止すると共に液晶セルに光から入ろうとする光を遮るので、LCDデバイスとしてコントラストが高くなる。

b）TFTに入ろうとする光を遮るので、光によるリーク電流を減少させてTFTとしての特性を向上させると共に光によるTFT自身の劣化を防止する。

（3）TFTの能動層は多結晶シリコン膜であるが、多結晶シリコン膜を固相成長法により多結晶化することにより、結晶粒を小さくすることにより移動度は若干低下する

【0056】4) 工程4において、非晶質シリコン膜4aを減圧CVD法、プラズマCVD法によらず、常圧CVD法、光励起CVD法、蒸着法、EBC(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法からなるグループの内のいずれか一つの方法によって形成する。

【0057】6) 前記工程5に代えて以下の工程を行

7) 工程 5 a で形成したこの多結晶シリコン膜 4 は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残っている可能性があり、リーク電流が多くなる危険がある。

【0058】そこで、工程54の後、基板1をRTA法又はレーザーアニール法により急速加熱し、多結晶シリコン膜2の膜質を改善する。

8) 工程1や工程7において、スパッタ法以外のPVD方法(真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスターイオンビーム法など)を用いて、Wシリサイド膜2、6bを形成する。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi<sub>x</sub>Y)の組成をX>2に設定する。

【0059】工程1や工程7において、CVD法を用いてWシリサイド膜2、6bを形成する。そのソースガスとしては、六フッ化タングステン(WF<sub>6</sub>)とシラン(SiH<sub>4</sub>)を用いればよい。成膜温度は、350~450℃前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi<sub>2</sub>)を形成する。CVD法はPVD法

明、大分力型、差込力型などからなる構造の多結晶シリコン太陽電池に適用する。

[illegible]

半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(SIT: Static Induction Transistor)などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【発明の効果】本発明においては、熱処理にRTA法を用いた場合における基板の反りや破損を防止することができる。

【図１】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図2】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図3】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図４】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図5】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図6】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図 7】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図8】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図9】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図10】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図11】LCDの画素部の製造方法を説明するための概略断面図である。

【図12】アクティブマトリクス方式LCDのブロック構成図である。

【1-1-3】画像の等価回路図である。

【図11】エキシマレーザーアニール装置の構成図である。

【4110】RTA装置の構成図である。

【図16】従来例の製造工程を説明するための断面図である。

【図17】従来例の製造工程を説明するための断面図である。

【参考文献说明】

1. 磁头基板

Figure 1. The effect of the initial concentration of the monomer on the polymerization of *l*-lysine.

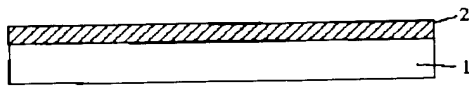
(b) 7-10 電機部

4. 在动物领域

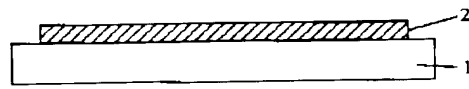


## A TFT (半導体素子)

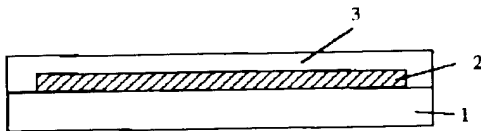
【図1】



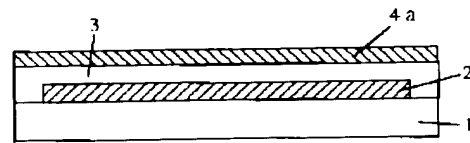
【図2】



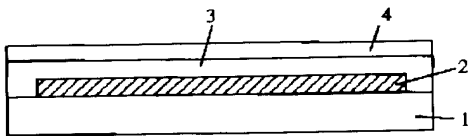
【図3】



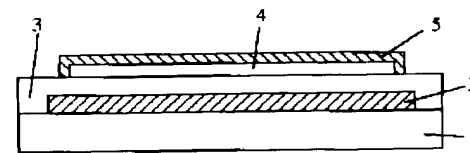
【図4】



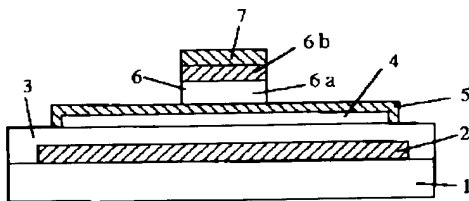
【図5】



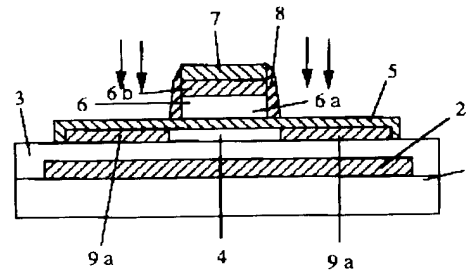
【図6】



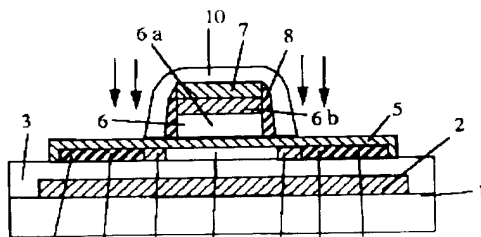
【図7】



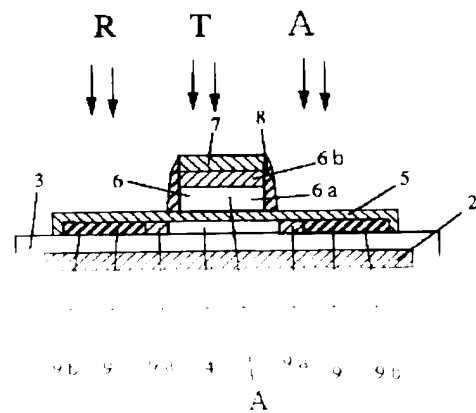
【図8】



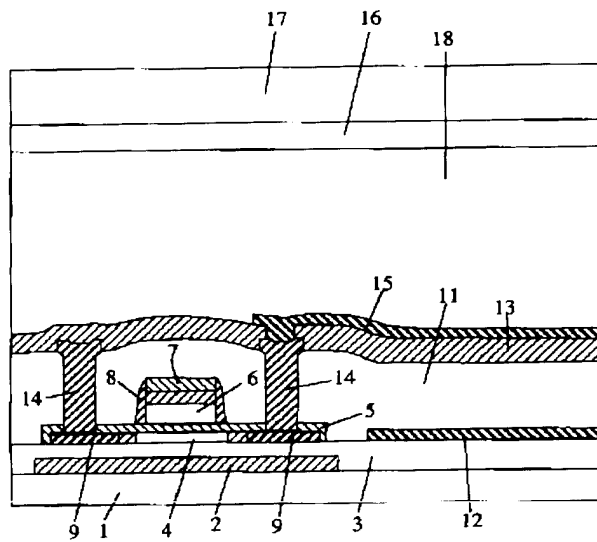
【図9】



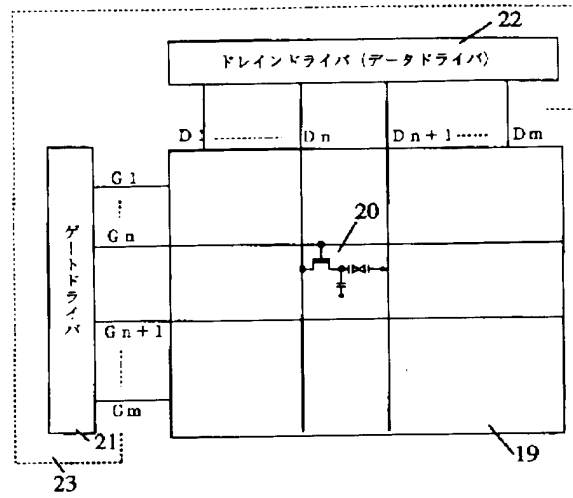
【図10】



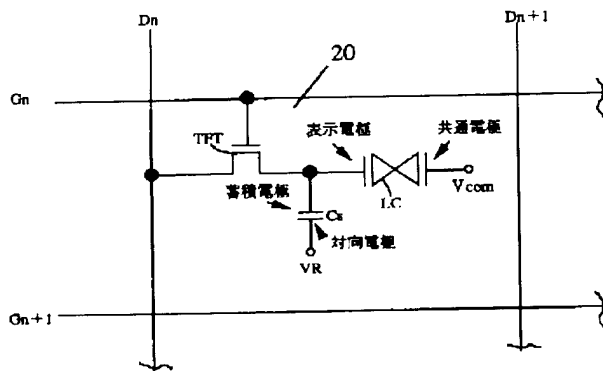
【図11】



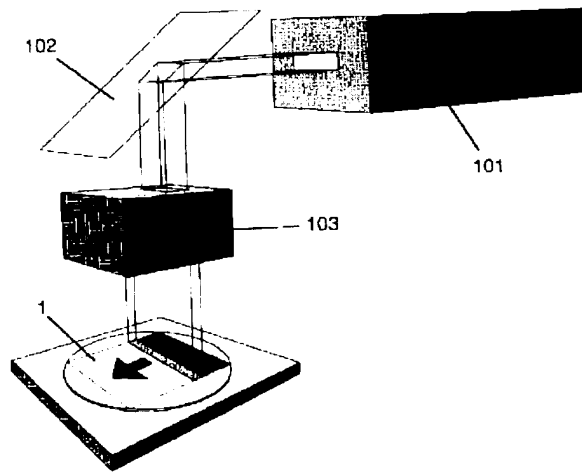
【図12】



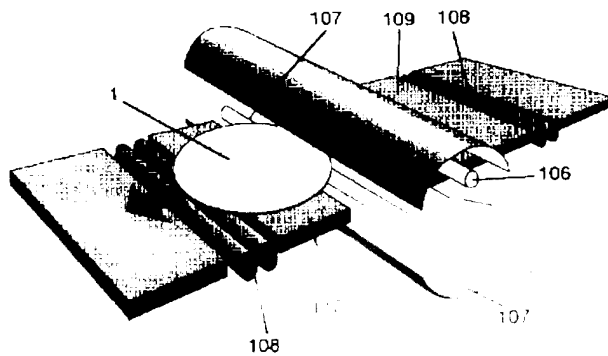
【図13】



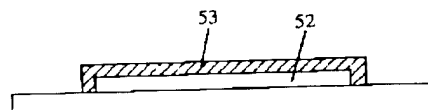
【図14】



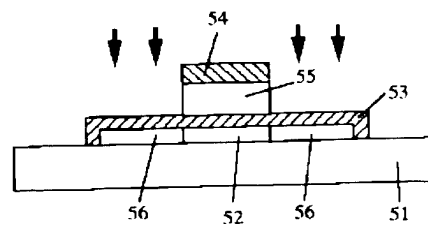
【図15】



【図16】



【図 17】



---

フロントページの続き

(72) 発明者 森本 佳宏  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(72) 発明者 米田 清  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内